

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

KYUNG-HOON KIM

Application No.:

Filed:

For: DELAY LOCKED LOOP (DLL) CIRCUIT AND  
METHOD FOR LOCKING CLOCK DELAY BY  
USING THE SAME

Art Group: Unknown

Examiner: To Be Determined

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2003-42723	27 June 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Farzad E. Amini, Reg. No. 42,261

Dated: December 31, 2003

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0042723  
Application Number

출원 년 월 일 : 2003년 06월 27일  
Date of Application JUN 27, 2003

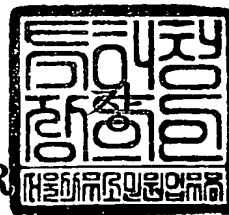
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.27
【발명의 명칭】	지연 고정 루프 및 지연 고정 루프에서의 클럭 지연 고정 방법
【발명의 영문명칭】	Delay Locked Loop and its method for delaying locked a clock
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	김경훈
【성명의 영문표기】	KIM,Kyung Hoon
【주민등록번호】	760702-1052117
【우편번호】	467-701
【주소】	경기도 이천시 부발읍 아미리산 136-1
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	8 면 8,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 항 429,000 원
【합계】	466,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 레이아웃을 증가시키지 않으면서도 신속하게 위상을 고정시킬 수 있고, 동작 주파수의 변화에 유연하게 대응할 수 있도록 하기 위하여 동거식메모리 장치에 사용되는 지연 고정 루프에 있어서, 실제의 클럭 경로와 동일한 지연 조건을 거쳐 출력되는 피드백클럭과 외부 클럭이 버퍼링된 기준 클럭의 위상을 비교하기 위한 위상 비교부; 상기 위상 비교부로부터 출력되는 비교신호에 응답하여 상기 외부클럭의 버퍼링된 내부 클럭의 쉬프트를 위한 제어신호를 출력하기 위한 지연 제어부; 및 상기 지연 제어부로부터의 제어신호에 응하여 상기 내부 클럭을 쉬프트시켜 출력하는 지연 라인부를 포함하며, 상기 지연 라인부는 레졸루션을 달리하는 단위 지연 셀들로 형성될 수 있다.

**【대표도】**

도 7

**【색인어】**

지연 고정 루프, 위상 비교, 지연 라인, 레졸루션

## 【명세서】

## 【발명의 명칭】

지연 고정 루프 및 지연 고정 루프에서의 클럭 지연 고정 방법{Delay Locked Loop and its method for delaying locked a clock}

## 【도면의 간단한 설명】

도 1은 종래기술에 따른 DDR SDRAM의 레지스터 제어형 DLL의 블록선도,

도 2는 종래기술에 따른 클럭버퍼부(11)의 일실시예 회로도,

도 3은 종래기술에 따른 클럭분주부(12)의 일실시예 회로도,

도 4는 종래기술에 따른 위상 비교부(15)의 일실시예 회로도,

도 5는 종래기술에 따른 지연 제어부(16)의 일실시예 회로도,

도 6은 종래기술에 따른 지연 라인부(17)의 일실시예 회로도,

도 7은 본 발명에 따른 지연 라인부의 일실시예 회로도.

\* 도면의 주요 부분에 대한 설명 \*

11: 클럭 버퍼부

12: 클럭 분주부

13: 더미 지연 라인부

14: 지연 모델부

15: 위상 비교부

16: 지연제어부

17: 지연 라인부

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 지연라인을 구성하는 단위 지연 셀의 지연값, 즉 단위 지연셀의 레졸루션 값을 부분적으로 변형함으로써 동작 주파수 대역에 대한 지터 특성을 차별화하는 지연 고정 루프 및 그것에서의 클럭 지연 고정 방법에 관한 것이다.
- <14> 일반적으로, 시스템이나 회로에서 클럭은 동작 타이밍을 맞추기 위한 레퍼런스로 사용되고 있으며, 에러(error) 없이 보다 빠른 동작을 보장하기 위해서 사용되기도 한다. 외부로부터 입력되는 클럭이 내부에서 사용될 때 내부 회로에 의한 시간 지연(클럭 스큐(clock skew))이 발생하게 되는데, 이러한 시간 지연을 보상하여 내부 클럭이 외부 클럭과 동일한 위상을 갖도록 하기 위해 DLL이 사용되고 있다. 즉, DLL은 외부 클럭을 이용하여 센싱된 데이터가 데이터 출력 버퍼를 거쳐 출력되는 타이밍과 외부에서 들어오는 클럭의 타이밍을 일치시킨다.
- <15> DLL이 DDR SDRAM에 적용된 경우를 예로 들어 종래기술에 대하여 설명하기로 한다.
- <16> 도 1은 종래기술에 따른 DDR SDRAM의 레지스터 제어형 DLL의 블록선도이다.
- <17> 종래기술에 따른 DDR SDRAM의 레지스터 제어형 DLL은, 외부 클럭 신호(clk, clkb)를 입력으로 하여 외부 클럭 신호(clk, clkb)의 라이징 에지 및 폴링 에지에 동기되어 발생하는 내부 클럭(rclk, fclk)을 생성하기 위한 클럭 버퍼부(11)와, 외부 클럭(clk)을  $1/n$ ( $n$ 은 양의 정수)로 분주하여 기준 클럭(ref)을 출력하는 클럭 분주부(12)와, 기준 클럭(ref)을 입력으로 하는 더미 지연 라인부(13)와, 더미 지연 라인부(13)으로부터 출력되는 클럭(fbk\_dly)이 실제 클럭 경로와 동일한 지연 조건을 거치도록 구성된 지연 모델부(14)와, 지연 모델부(14)의 출력

(fbk)과 기준 클럭(ref)의 위상을 비교하여 쉬프트 제어신호를 출력하기 위한 위상 비교부(15)와, 위상 비교부(15)로부터 출력된 쉬프트 제어신호에 응답하여 지연 라인 및 더미 지연 라인의 클럭 위상을 쉬프트시키기 위한 신호를 출력하는 지연제어부(16)와, 입력받은 내부 클럭(rclk, fclk)을 지연 제어부(16)로부터 출력되는 신호에 의해 쉬프트시켜 출력하는 지연 라인부(17)를 포함한다.

<18> 이하에서는 상기 DLL을 구성하는 각 부분에 대하여 구체적으로 설명한다.

<19> 도 2는 종래기술에 따른 클럭버퍼부(11)의 일실시에 회로도이다.

<20> 도 2의 클럭 버퍼는 차동 비교 회로에 외부 클럭(clk, clkb)을 입력받아 외부 클럭의 라이징 에지에 동기되어 발생하는 내부클럭(rclk)을 생성한다. 더미 지연 라인부용 클럭 버퍼도 별도로 구비되어 있으나, 본 발명의 주요 부분이 아니며 당업자의 수준에서 당연히 이해되는 정도이므로 더 이상 구체적으로 언급하지 않기로 한다.

<21> 도 3은 종래기술에 따른 클럭분주부(12)의 일실시에 회로도이다.

<22> 도 3의 클럭분주부는 외부 클럭의 주파수를 1/8로 분주하여 출력하는데, 여기서 외부 클럭을 분주하는 이유는 전력 소모를 줄이기 위함이다. 도 3에 개시된 구체적인 클럭분주회로의 동작에 관해서는 당업자의 수준에서 이해되는 정도이고, 본 발명의 주요 부분이 아니므로 더 이상 구체적인 언급은 피하기로 한다.

<23> 도 4는 종래기술에 따른 위상 비교부(15)의 일실시에 회로도이다.

<24> 위상 비교부는 DLL의 입력 클럭과 출력 클럭의 위상을 비교하여 두 클럭의 위상 차를 검출하는 장치이다. 위상 비교부는 클럭분주부로부터 출력되는 기준클럭(ref)과 지연모델부(14)로부터 출력되는 피드백클럭(fbk)의 위상을 비교한다. 비교 결과를 바탕으로 앞섬(lead), 뒤짐

(lag) 및 고정(locking)의 3가지 정보를 지연제어부(16)로 출력한다. 도 4에 따르면, 비교신호(PC1, PC3)에 의해 쉬프트 라이트되거나 비교신호(PC2, PC4)에 의해 쉬프트 레프트된다. 그리고, 분주되기 전의 클럭(rclk)을 이용하여 쉬프트 동작을 수행할 것인지 혹은 클럭분주부로부터 출력되는 기준클럭(ref)과 피드백클럭(fbk)간의 비교를 통해 분주된 기준클럭에 대하여 쉬프트 동작을 수행할 것인지를 결정한다. 즉, 피드백클럭(fbk)과 기준클럭(ref)의 위상 차이가 롱 딜레이 셀(long delay cell)의 지연시간 보다 클 경우 PC5 또는 PC6의 신호가 "H" 상태를 가지게 된다. 이에 따라 PC5와 PC6 신호의 논리합인 AC가 "H"상태가 되고, 분주되기 전의 클럭(rclk)과 논리결합되어 위상비교기(151)로부터 출력됨으로써 쉬프트 레지스터 제어신호 발생기(152)의 T 플립플롭(F/F)을 동작시킬 수 있다. 다시 말해서, 피드백클럭(fbk)과 기준클럭(ref)의 위상 차이가 큰 상황에서는 분주 전의 클럭을 이용해 쉬프트 레지스터를 동작시킴으로써 피드백클럭(fbk)과 기준클럭(ref)의 위상 차이를 빠른 속도로 좁히게 하고, 이후 두 위상의 차이가 소정 간격 내로 줄어 들면 PC5와 PC6의 두 신호가 모두 "L"상태로 천이하여 분주된 클럭에 맞추어 쉬프트 레지스터를 동작시키게 된다.

<25> 도 5는 종래기술에 따른 지연 제어부(16)의 일실시에 회로도이다.

<26> 지연 제어부는 지연라인부에서 클럭의 입력 경로를 정할 수 있는 부분과 양방향 쉬프트 레지스터로 구성되어 경로의 위치를 변경할 수 있는 부분으로 구성된다. 지연 제어부 내 쉬프트 레지스터는 4개의 입력 신호를 받아 쉬프트 동작을 수행하고, 초기 입력 조건은 최좌측이나 최우측의 신호가 "H"상태가 되도록 함으로써 최대 혹은 최소 지연을 갖게 할 수 있다. 쉬프트 레지스터에 입력되는 신호는 쉬프트 라이트 이븐, 쉬프트 라이트 오드, 쉬프트 레프트 이븐 및 쉬프트 레프트 오드의 4개로 구성되며, 쉬프트 동작을 수행하기 위해 "H"상태의 2개의 신호가 서로 오버랩되지 않도록 한다.



- <27> 도 6은 종래기술에 따른 지연 라인부(17)의 일실시에 회로도이다.
- <28> 지연 라인부는 외부에서 입력되는 클럭의 위상을 지연시키기 위한 회로이다. 이 때 위상 지연 정도는 위상 비교부에서 결정되며, 지연 제어부에 의해 제어를 받아 위상 지연을 결정하는 지연 경로를 형성하게 된다. 지연 라인부는 다수의 단위 지연 셀이 직렬로 연결되어 있다. 단위 지연 셀은 2개의 낸드 게이트가 직렬 연결되어 구성된다. 각각의 단위 지연 셀의 입력은 지연 제어부 내 쉬프트 레지스터와 1대1로 연결되어 있으며, 복수의 쉬프트 레지스터 중 어느 하나의 출력단만이 "H"상태를 출력함으로써 기준클럭이 입력되도록 하는 경로를 만들어준다. 지연라인부는 DDR SDRAM의 경우 통상 라이징 클럭용 지연라인과 폴링 클럭용 지연라인으로 된 2개의 지연라인으로 구성된다. 이는 라이징 에지와 폴링 에지를 동일하게 처리하여 듀티비 왜곡(duty ratio distortion)을 최대한 억제하기 위함이다.
- <29> 별도의 구체 회로는 제시되지 않았지만, 더미 지연 라인부는 위상 비교부에 입력되는 피드백 클럭을 위한 지연라인으로서, 도 6의 지연라인부의 구성과 동일하다. 다만, 분주된 클럭이 입력되므로 전력 소모가 적다. 지연 모델부는 칩 외부의 클럭이 입력되어 지연 라인부 전까지와 지연 라인부의 출력 클럭이 칩 외부까지 나갈 때까지의 지연 요소들을 모델링한 회로이다. 클럭 신호 라인은 지연 라인부로부터 출력 버퍼까지 클럭이 통과하는 경로이다. 출력 버퍼는 클럭 신호 라인에 실린 클럭에 데이터를 동기시켜 외부 출력 단자로 출력한다.
- <30> 그런데, 종래의 DLL 내 지연라인부에서는 피드백 클럭이 통과하는 단위 지연 셀의 개수를 변경시켜 가면서 외부 클럭과 내부 클럭의 위상차를 감소시킨다. 이 때 2개의 낸드게이트로 구성된 한 단의 단위 지연 셀은 100ps 정도의 레졸루션을 가지며, 동작 주파수를  $f$ 라 하는 경우 지연라인부는 최대  $1/f$ 만큼의 시간을 위상지연에 사용한다. 그리고 지연라인부는  $1/f$ 을 한 단의 단위 지연 셀의 지연시간으로 나눈 값에 해당하는 단위 지연 셀의 개수를 포함한다.

- <31> 이와 같이 지연라인부 내 모든 단위 지연 셀이 동일한 지연시간을 갖는 종래기술에 따른 DLL에서는 다음과 같은 문제점을 안고 있다.
- <32> 먼저, 사용자에 따라 DLL을 고속 동작용으로 사용할 수도 있고, 저속 동작용으로 사용할 수 있다. 뿐만 아니라 DLL을 특정 제품에 적용하여 사용하는 경우에도 필요에 따라 고속 동작과 저속 동작을 수시로 변경시킬 필요가 있다. 이에 따라 고주파 동작을 위해서는 지연라인부 내 단위 지연 셀의 지연시간을 감소시켜야 하는 한편, 저주파 동작을 위해서는 단위 지연 셀의 지연시간이 감소함으로 인해 단위 지연 셀의 개수를 증가시켜야 한다. 결과적으로 DLL의 레이아웃의 사이즈가 증가하게 되고 DLL을 구동하기 위한 전류가 증가하게 된다.
- <33> 따라서, 레이아웃의 사이즈를 증가시키지 않으면서 요구되는 전류양도 최대한 억제하기 위해서는 동작주파수에 최적화된 단위 지연 셀의 레졸루션을 찾아야 하지만, DLL을 사용하는 전자 시스템의 고속 동작을 위해 DLL의 동작 주파수 또한 고주파수로의 요구가 거세지는 반면 저주파로 동작하는 기능은 변함이 없어 최적화의 한계에 부딪히고 있는 실정이다.
- <34> 이러한 문제점을 해결하기 위해 지연 라인부에서의 지연을 거친지연(Coarse Delay)과 세밀지연(Fine Delay)으로 구분한 DLL을 사용하고 있으나, 거친지연(Coarse Delay)과 세밀지연(Fine Delay)간의 연동성에 문제가 있고 또한, 서로 독립된 지연 라인부를 연동시키기 위해 복잡한 제어회로가 사용되어 레이아웃상 크기의 증가를 가져오고 있다.

【발명이 이루고자 하는 기술적 과제】

- <35>        상기의 문제점을 해결하기 위하여 본 발명은 레이아웃의 크기를 증가시키지 않으면서도 신속하게 위상을 고정시킬 수 있는 지연고정루프 및 지연 고정 루프에서의 클럭 지연 고정 방법을 제공함에 목적이 있다.
- <36>        또한, 본 발명은 동작 주파수의 변화에 유연하게 대응할 수 있는 지연고정루프 및 지연 고정 루프에서의 클럭 지연 고정 방법을 제공함에 목적이 있다.
- <37>        이는 레졸루션을 달리하는 복수의 단위 지연 셀 그룹을 직렬연결한 지연라인부를 갖는 지연고정루프를 제공함으로써 달성될 수 있다.

【발명의 구성 및 작용】

- <38>        상기 목적을 달성하기 위한 본 발명의 지연 고정 루프는 동기식 메모리 장치에 사용되는 지연 고정 루프에 있어서, 실제의 클럭 경로와 동일한 지연 조건을 거쳐 출력되는 피드백클럭과 외부 클럭이 버퍼링된 기준 클럭의 위상을 비교하기 위한 위상 비교부; 상기 위상 비교부로부터 출력되는 비교신호에 응답하여 상기 외부클럭의 버퍼링된 내부 클럭의 쉬프트를 위한 제어신호를 출력하기 위한 지연 제어부; 및 상기 지연 제어부로부터의 제어신호에 응하여 상기 내부 클럭을 쉬프트시켜 출력하는 지연 라인부를 포함하며, 상기 지연 라인부는 레졸루션을 달리하는 단위 지연 셀들로 형성될 수 있다.
- <39>        또한, 상기 지연 라인부는, 제1 레졸루션을 갖는 단위 지연 셀들로 형성된 제1 지연 라인; 및 제2 레졸루션 - 상기 제2 레졸루션은 상기 제1 레졸루션과 다름 - 을 갖는 단위 지연

셀들로 형성된 제2 지연 라인을 포함하며, 상기 제1 지연 라인과 상기 제2 지연 라인은 직렬연결될 수 있다.

<40> 또한, 상기 지연 라인부는, 상기 제1 레졸루션은 상기 제2 레졸루션보다 작고, 상기 지연 라인부에 입력되는 클럭은 상기 제2 지연 라인 내 단위 지연 셀보다 제1 지연 라인 내 단위 지연 셀을 먼저 통과하게 할 수 있다.

<41> 또한, 상기 지연 라인부는, 제1 레졸루션을 갖는 단위 지연 셀들로 형성된 제1 지연 라인; 제2 레졸루션 - 상기 제2 레졸루션은 상기 제1 레졸루션과 다름 - 을 갖는 단위 지연 셀들로 형성된 제2 지연 라인; 및 제3 레졸루션 - 상기 제3 레졸루션은 상기 제1 및 제2 레졸루션과 다름 - 을 갖는 단위 지연 셀들로 형성된 제3 지연 라인을 포함하며, 상기 제1 지연 라인과, 상기 제2 지연 라인 그리고 상기 제3 지연 라인은 순차적으로 직렬연결될 수 있다.

<42> 또한, 상기 지연 라인부는, 상기 제1 레졸루션은 상기 제2 및 제3 레졸루션보다 작으며, 상기 지연 라인부에 입력되는 클럭은 상기 제2 및 제3 지연 라인 내 단위 지연 셀보다 상기 제1 지연 라인 내 단위 지연 셀을 먼저 통과하게 할 수 있다.

<43> 또한, 상기 위상 비교부는, 상기 피드백클럭과 상기 기준클럭의 위상 차이가 소정 간격 이상이면 상기 비교신호를 분주 전의 클럭 주파수로 출력하고, 소정 간격이내이면 상기 비교신호를 분주 후의 클럭 주파수로 출력할 수 있다.

<44> 또한, 본 발명의 지연 고정 루프에서의 클럭 지연 고정 방법은 동기식 메모리 장치에 사용되는 지연 고정 루프에서의 클럭 지연 고정 방법에 있어서, 실제의 클럭 경로와 동일한 지연 조건을 거쳐 출력되는 피드백클럭과 외부 클럭이 버퍼링된 기준 클럭의 위상을 비교하여 비교신호를 출력하는 제1 단계; 상기 제어신호에 응답하여 상기 외부클럭의 버퍼링된 내부 클럭의

쉬프트를 위한 제어신호를 출력하는 제2 단계; 및 상기 제어신호에 의하여 레졸루션을 달리하는 단위 지연 셀들을 이용하여 상기 내부 클럭을 쉬프트시켜 출력하는 제3 단계를 포함할 수 있다.

<45> 또한, 상기 제3 단계는, 상기 내부 클럭을 제1 레졸루션을 갖는 단위 지연 셀들로 형성된 제1 지연 라인을 통과시키는 제4 단계; 및 상기 제4 단계후에도 클럭 지연 고정이 완성되지 않은 경우, 상기 내부 클럭을 제2 레졸루션 - 상기 제2 레졸루션은 상기 제1 레졸루션보다 큼 - 을 갖는 단위 지연 셀들로 형성된 제2 지연 라인을 통과시키는 제5 단계를 포함하며, 상기 제1 지연 라인과 상기 제2 지연 라인은 직렬연결될 수 있다.

<46> 또한, 상기 제3 단계는, 상기 내부 클럭을 제1 레졸루션을 갖는 단위 지연 셀들로 형성된 제1 지연 라인을 통과시키는 제4 단계; 상기 제4 단계후에도 클럭 지연 고정이 완성되지 않은 경우, 상기 내부 클럭을 제2 레졸루션 - 상기 제2 레졸루션은 상기 제1 레졸루션보다 큼 - 을 갖는 단위 지연 셀들로 형성된 제2 지연 라인을 통과시키는 제5 단계; 및 상기 제5 단계후에도 클럭 지연 고정이 완성되지 않은 경우, 제3 레졸루션 - 상기 제3 레졸루션은 상기 제1 및 제2 레졸루션보다 큼 - 을 갖는 단위 지연 셀들로 형성된 제3 지연 라인을 통과시키는 제6 단계를 포함하며, 상기 제1 지연 라인과, 상기 제2 지연 라인 그리고 상기 제3 지연 라인은 순차적으로 직렬연결될 수 있다.

<47> 또한, 상기 제1 단계는, 초기 동작시에는 상기 비교신호를 분주 전의 클럭 주파수로 출력하고, 소정 시간 이후에는 상기 비교신호를 분주 후의 클럭 주파수로 출력할 수 있다.

- <48> 통상 DLL에서의 위상 지연량은 클럭주기( $T_{clk}$ ) - 전체지연량( $delay_{total}$ )이고, 전체지연량( $delay_{total}$ )은 0 이상  $T_{clk}$ 이므로 항상 지연라인부에서 사용하는 단위 지연 셀의 수는 동작 주파수에 의해 제한받게 된다. 즉, 동작 주파수 대역에 따라 지연 라인부에서 사용하는 단위 지연 셀의 수가 결정된다. 이는 DLL의 동작에서 네거티브 지연을 생성하는 알고리즘을 사용함으로써 달성된다.
- <49> 만일, 동작 주파수의 위상지연량이  $5ns(1n=10^{-9})$ 이고, 단위 지연 셀의 레졸루션이  $100ps(1p=10^{-12})$ 라면 최대 50개의 단위 지연 셀을 이용할 수 있다. 그리고, 동작 주파수의 위상지연량이  $10ns$ 이고, 단위 지연셀의 레졸루션이  $100ps$ 라면 100개 이하의 단위 지연 셀을 이용할 수 있다.
- <50> 이러한 점을 이용하여 본 발명은 단위 지연 셀의 레졸루션을 달리하는 바, 고주파수에서는 단위 지연 셀의 레졸루션을 높이고, 저주파수에서는 단위 지연셀의 레졸루션을 낮게 함으로써 레이아웃의 증가를 최소화하고 단위 지연 셀의 레졸루션을 최적화시킨다.
- <51> 본 발명의 지연 라인부는 일 실시예로서, 레졸루션을 달리하는 단위 지연 셀들로 형성될 수 있다. 본 발명의 지연 라인부는, 다른 실시예로서, 제1 레졸루션을 갖는 단위 지연 셀들로 형성된 제1 지연 라인과, 제2 레졸루션을 갖는 단위 지연 셀들로 형성된 제2 지연 라인을 직렬 연결함으로써 형성될 수 있다. 또 다른 실시예로서, 제1 레졸루션을 갖는 단위 지연 셀들로 형성된 제1 지연 라인과, 제2 레졸루션을 갖는 단위 지연 셀들로 형성된 제2 지연 라인 그리고 제3 레졸루션을 갖는 단위 지연 셀들로 형성된 제3 지연 라인이 직렬연결되어 형성될 수 있다. 물론 당업자라면 또 다른 레졸루션을 갖는 단위 지연 셀들로 형성된 제4 지연 라인도 추가적으로 연결될 수 있음을 이해할 수 있을 것이다.

- <52> 그리고, 단위 지연 셀의 레줄루션은 단위 지연 셀 내 MOS 게이트의 랭스를 조절함으로써 조정될 수 있다. 혹은, 단위 지연 셀의 레줄루션은 단위 지연 셀 내 인버터를 형성하는 피모스트랜지스터와 엔모스트랜지스터에 추가로 피모스트랜지스터와 엔모스트랜지스터를 직렬연결함으로써 조정될 수도 있다. 혹은, 외부에서 인가하는 전압의 크기를 조절함으로써 단위 지연 셀의 레줄루션을 조정할 수 있다. 이는 당업자에게 자명한 정도에 불과하며, 본 발명의 본질을 흐르지 않기 위해 더 이상 구체적인 언급을 피하기로 한다.
- <53> 이와 같이 서로 다른 단위 지연 셀을 이용하는 것은 동작 주파수별로 tAC가 달라지기 때문이다. 즉, 동작 주파수가 높아질수록 유효 데이터 창이 좁아지고 따라서 DLL의 지터특성과 스큐특성이 향상되어야 하기 때문이다. DLL의 지터특성과 스큐특성은 여러 가지 방법에 의해 향상될 수 있으나, 가장 중요한 요소는 지연 라인부를 형성하는 단위 지연 셀의 지연 즉, 레줄루션이 작아져야 한다.
- <54> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

- <55> 도 7은 본 발명에 따른 지연 라인부의 일실시에 회로도로서, 3종류의 단위 지연셀을 사용한 지연 라인부가 도시되어 있다. 3종류의 단위 지연 셀의 지연시간을 예를 들어, 각각 d1, d2, d3라고 할 경우 지연 라인부를 구성하는 단위 지연 셀들은 다음과 같이 구분할 수 있다.
- <56> - 고주파수 대역용 단위 지연 셀
- <57> - 중간주파수 대역용 단위 지연 셀
- <58> - 저주파수 대역용 단위 지연 셀
- <59> 만일, 200MHz이상을 고주파수, 100-200MHz를 중간주파수, 100MHz이하를 저주파수라 정의하면, 각 주파수대역에 필요한 단위 지연 셀의 수는 다음과 같다.
- <60> - 고주파수(200MHz이상); 단위 지연 셀의 수는  $5\text{nsec}/d1$
- <61> - 중간주파수(100-200MHz); 단위 지연 셀의 수는  $(10\text{nsec} - 5\text{nsec})/d2$
- <62> - 저주파수(100MHz이하); 단위 지연 셀의 수는  $(12\text{nsec} - 10\text{nsec})/d3$
- <63> 따라서, 200MHz이상의 동작을 보장하기 위해 65ps의 레졸루션을 가져야 하며, 100 내지 200MHz의 동작을 보장하기 위해 100ps, 100MHz이하에서는 150ps의 레졸루션을 갖는 지연 라인부를 구성하고자 한다고 가정하면, 제1 지연라인의 단위 지연 셀은 77개, 제2 지연 라인의 단위 지연 셀은 50개 그리고 제3 지연라인의 단위 지연 셀은 14개가 소요되어 전체 141개의 단위 지연 셀을 사용될 것이다.
- <64> 그러나, 지연 라인부의 모든 단위 지연 셀이 모두 동일하게 65ps의 레졸루션을 갖도록 한다면 185개의 단위 지연 셀을 필요로 한다. 결과적으로, DLL을 형성하는 레이아웃 중 가장 큰 면적을 차지하는 지연 라인부의 면적을 예를 들어 200MHz의 동작 주파수의 경우에 75% 정도로 감소시킬 수 있다.



- <65> 지연 라인부의 동작을 간단히 설명하자면 다음과 같다. 지연제어부로부터 가장 먼저 reg\_r에 "H"상태의 제어신호를 인가받을 수 있다. reg\_r에 "H"상태의 제어신호를 인가되면 입력되는 클럭(rclk 혹은 fclk)이 제어신호에 의해 인에이블되는 단위 지연 셀에 입력되고 지연되어 출력된다. 이후 reg\_r-1에 "H"상태의 제어신호가 인가되면 클럭(rclk 혹은 fclk)은 2개의 단위 지연 셀을 통과한 후 지연되어 출력된다.
- <66> 여기서, 지연 라인부에 입력되는 클럭의 지연은 제1 지연 라인의 최우측 단위 지연 셀에서 가장 먼저 이루어지기 때문에 제1 지연 라인을 구성하는 단위 지연 셀의 지연 시간을 다른 지연 라인 내 단위 지연 셀의 지연 시간보다 짧게 하는 것이 바람직하다. 이와 같이 구성하면, 고주파로 동작하는 경우 제1 지연 라인에서의 지연만으로 위상 고정기 이루어질 수 있고, 저주파의 경우에는 제2 지연 라인 혹은 제3 지연 라인에서 위상 고정이 이루어질 것이다.
- <67> 한편, 본 발명은 DDR SDRAM에서 DLL이 사용되는 경우를 예로 들어 설명하고 있으나, 본 발명의 DLL은 DDR SDRAM에만 한정되어 사용되지 않으며 DLL을 사용하는 모든 전자 시스템에 적용가능하다. 특히 사용자에게 따라 동작 주파수를 달리할 필요가 있는 전자 시스템이나, 하나의 전자 시스템 내에서도 동작 상황에 따라 동작 주파수를 달리할 필요가 있는 전자 시스템에 유용하게 사용될 수 있다.
- <68> 이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

**【발명의 효과】**

<69>        본 발명에 따라 DLL을 사용하는 전자시스템에서 DLL의 면적을 대폭 감소하면서도 고주파에서 저주파까지 넓은 대역에서 신속하게 위상을 고정시킬 수 있고, 동작 주파수의 변화에 유연하게 대응할 수 있다. 또한, 기존의 DLL회로를 크게 변형하지 않기 때문에 회로 설계에 드는 시간을 절약할 수 있다.

**【특허청구범위】****【청구항 1】**

동기식 메모리 장치에 사용되는 지연 고정 루프에 있어서,

실제의 클럭 경로와 동일한 지연 조건을 거쳐 출력되는 피드백클럭과 외부 클럭이 버퍼링된 기준 클럭의 위상을 비교하기 위한 위상 비교부;

상기 위상 비교부로부터 출력되는 비교신호에 응답하여 상기 외부클럭의 버퍼링된 내부 클럭의 쉬프트를 위한 제어신호를 출력하기 위한 지연 제어부; 및

상기 지연 제어부로부터의 제어신호에 의하여 상기 내부 클럭을 쉬프트시켜 출력하는 지연 라인부를 포함하며,

상기 지연 라인부는 레졸루션을 달리하는 단위 지연 셀들로 형성된 것임을 특징으로 하는 지연 고정 루프.

**【청구항 2】**

제1항에 있어서, 상기 지연 라인부는,

제 1 레졸루션을 갖는 단위 지연 셀들로 형성된 제1 지연 라인; 및

제2 레졸루션 - 상기 제2 레졸루션은 상기 제1 레졸루션과 다름 - 을 갖는 단위 지연 셀들로 형성된 제2 지연 라인을 포함하며,

상기 제1 지연 라인과 상기 제2 지연 라인은 직렬연결된 것을 특징으로 하는 지연 고정 루프.

**【청구항 3】**

제2항에 있어서, 상기 지연 라인부는,

상기 제1 레졸루션은 상기 제2 레졸루션보다 작고, 상기 지연 라인부에 입력되는 클럭은 상기 제2 지연 라인 내 단위 지연 셀보다 제1 지연 라인 내 단위 지연 셀을 먼저 통과하는 것을 특징으로 하는 지연 고정 루프.

**【청구항 4】**

제1항에 있어서, 상기 지연 라인부는,

제 1 레졸루션을 갖는 단위 지연 셀들로 형성된 제1 지연 라인;

제2 레졸루션 - 상기 제2 레졸루션은 상기 제1 레졸루션과 다름 - 을 갖는 단위 지연 셀들로 형성된 제2 지연 라인; 및

제 3 레졸루션 - 상기 제3 레졸루션은 상기 제1 및 제2 레졸루션과 다름 - 을 갖는 단위 지연 셀들로 형성된 제3 지연 라인을 포함하며,

상기 제1 지연 라인과, 상기 제2 지연 라인 그리고 상기 제3 지연 라인은 순차적으로 직렬연결된 것을 특징으로 하는 지연 고정 루프.

**【청구항 5】**

제4항에 있어서, 상기 지연 라인부는,

상기 제1 레졸루션은 상기 제2 및 제3 레졸루션보다 작으며, 상기 지연 라인부에 입력되는 클럭은 상기 제2 및 제3 지연 라인 내 단위 지연 셀보다 상기 제1 지연 라인 내 단위 지연

셀을 먼저 통과하는 것을 특징으로 하는 지연 고정 루프.

【청구항 6】

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 위상 비교부는,

상기 피드백클럭과 상기 기준클럭의 위상 차이가 소정 간격 이상이면 상기 비교신호를 분주 전의 클럭 주파수로 출력하고, 상기 소정 간격 이내이면 상기 비교신호를 분주 후의 클럭 주파수로 출력하는 것을 특징으로 하는 지연 고정 루프.

【청구항 7】

동기식 메모리 장치에 사용되는 지연 고정 루프에서의 클럭 지연 고정 방법에 있어서,

실제의 클럭 경로와 동일한 지연 조건을 거쳐 출력되는 피드백클럭과 외부 클럭이 버퍼링된 기준 클럭의 위상을 비교하여 비교신호를 출력하는 제1 단계;

상기 제어신호에 응답하여 상기 외부클럭의 버퍼링된 내부 클럭의 쉬프트를 위한 제어신호를 출력하는 제2 단계; 및

상기 제어신호에 응하여 레줄루션을 달리하는 단위 지연 셀들을 이용하여 상기 내부 클럭을 쉬프트시켜 출력하는 제3 단계

를 포함하는 지연 고정 루프에서의 클럭 지연 고정 방법.

【청구항 8】

제7항에 있어서, 상기 제3 단계는,

상기 내부 클럭을 제1 레졸루션을 갖는 단위 지연 셀들로 형성된 제1 지연 라인을 통과시키는 제4 단계; 및

상기 제4 단계후에도 클럭 지연 고정이 완성되지 않은 경우, 상기 내부 클럭을 제2 레졸루션 - 상기 제2 레졸루션은 상기 제1 레졸루션보다 큼 - 을 갖는 단위 지연 셀들로 형성된 제2 지연 라인을 통과시키는 제5 단계를 포함하며,

상기 제1 지연 라인과 상기 제2 지연 라인은 직렬연결된 것을 특징으로 하는 지연 고정 루프에서의 클럭 지연 고정 방법.

#### 【청구항 9】

제7항에 있어서, 상기 제3 단계는,

상기 내부 클럭을 제1 레졸루션을 갖는 단위 지연 셀들로 형성된 제1 지연 라인을 통과시키는 제4 단계;

상기 제4 단계후에도 클럭 지연 고정이 완성되지 않은 경우, 상기 내부 클럭을 제2 레졸루션 - 상기 제2 레졸루션은 상기 제1 레졸루션보다 큼 - 을 갖는 단위 지연 셀들로 형성된 제2 지연 라인을 통과시키는 제5 단계; 및

상기 제5 단계후에도 클럭 지연 고정이 완성되지 않은 경우, 제3 레졸루션 - 상기 제3 레졸루션은 상기 제1 및 제2 레졸루션보다 큼 - 을 갖는 단위 지연 셀들로 형성된 제3 지연 라인을 통과시키는 제6 단계를 포함하며,

상기 제1 지연 라인과, 상기 제2 지연 라인 그리고 상기 제3 지연 라인은 순차적으로 직렬연결된 것을 특징으로 하는 지연 고정 루프에서의 클럭 지연 고정 방법.

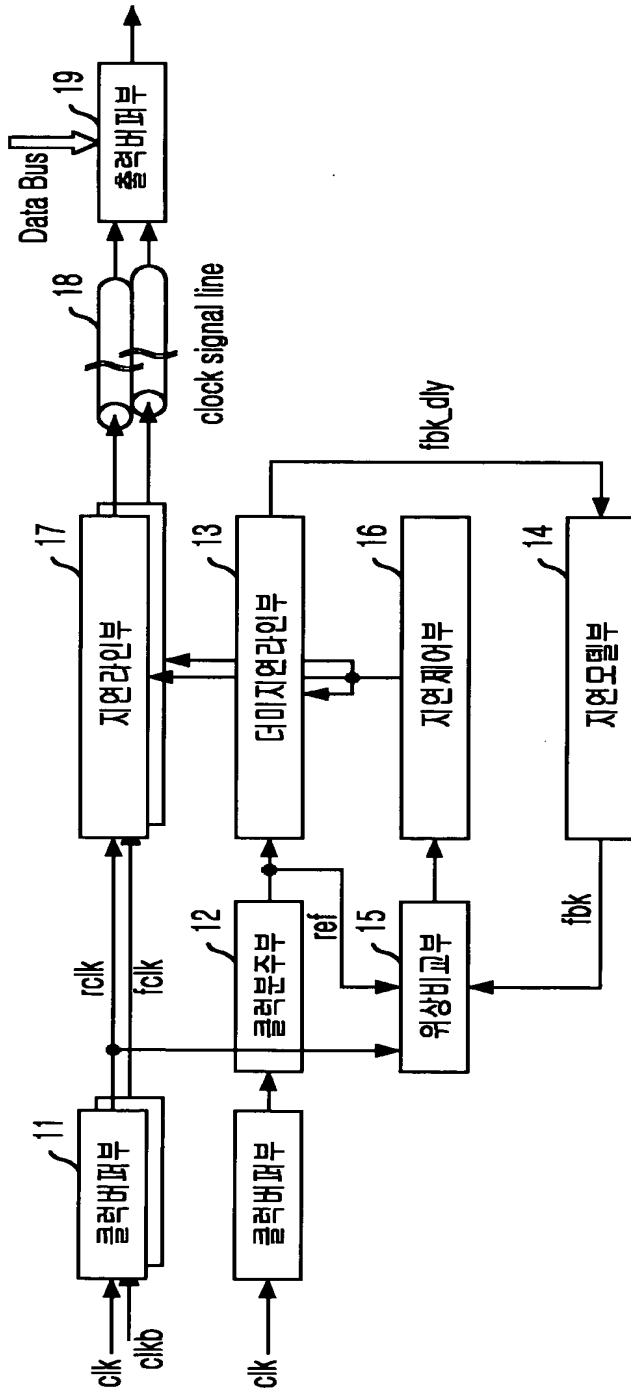
【청구항 10】

제7항 내지 제9항 중 어느 한 항에 있어서, 상기 제1 단계는,

상기 피드백클럭과 상기 기준클럭의 위상 차이가 소정 간격 이상이면 상기 비교신호를 분주 전의 클럭 주파수로 출력하고, 상기 소정 간격 이내이면 상기 비교신호를 분주 후의 클럭 주파수로 출력하는 것을 특징으로 하는 지연 고정 루프에서의 클럭 지연 고정 방법.

【도면】

【도 1】



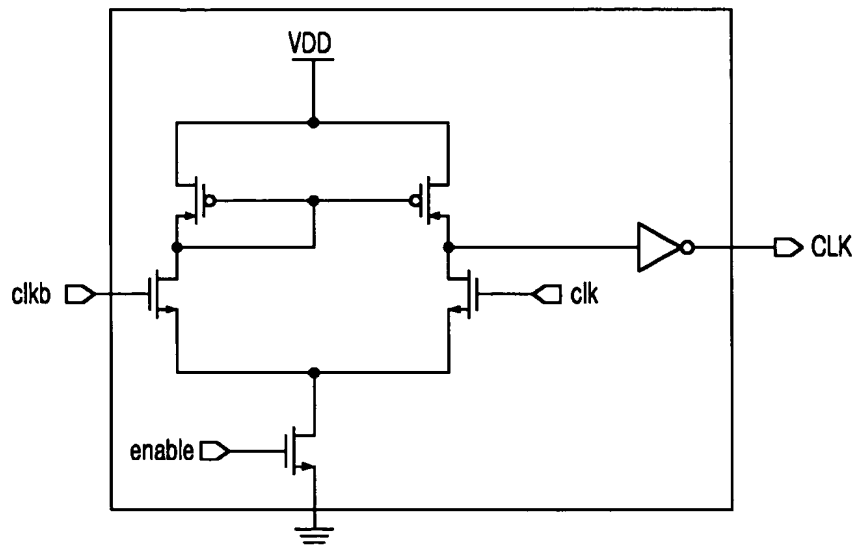




1020030042723

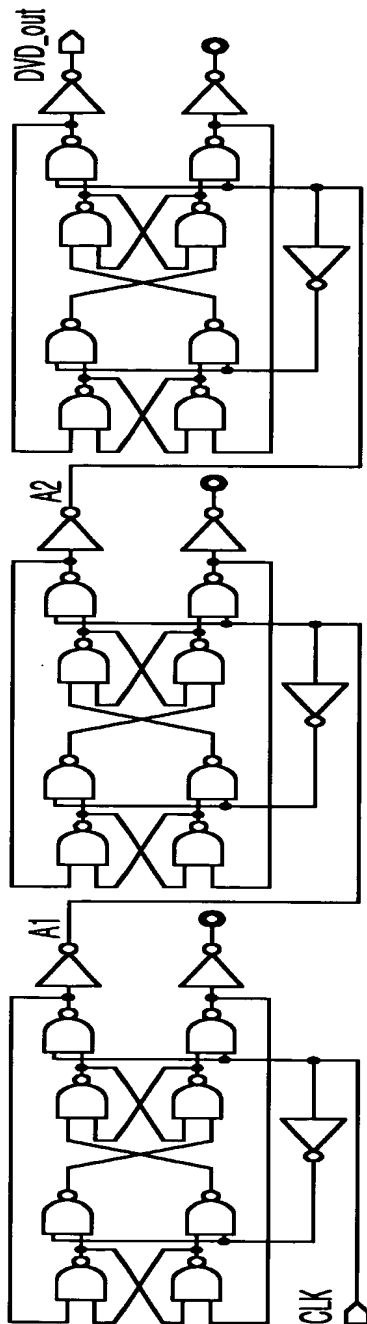
출력 일자: 2003/10/30

【도 2】

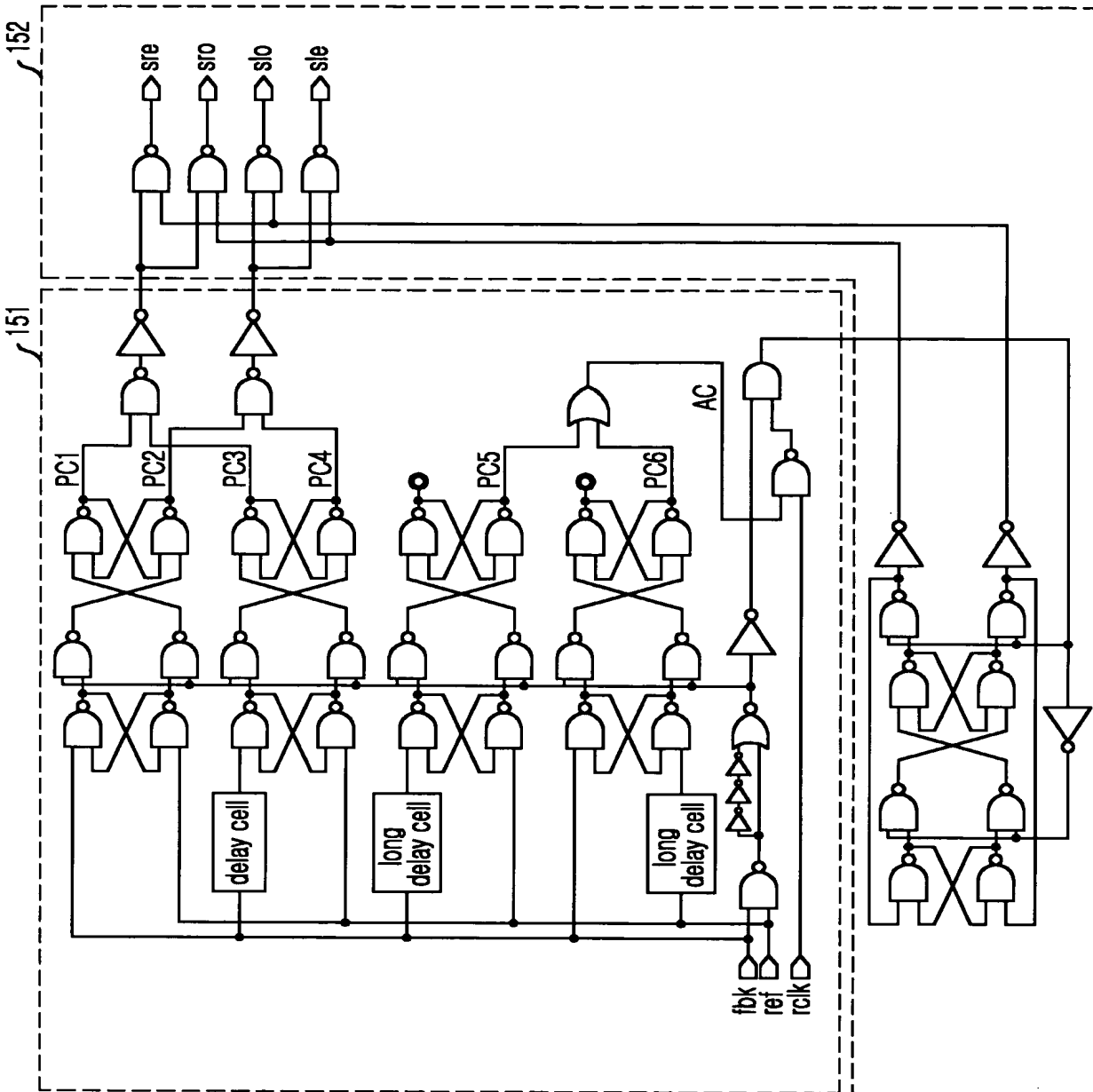




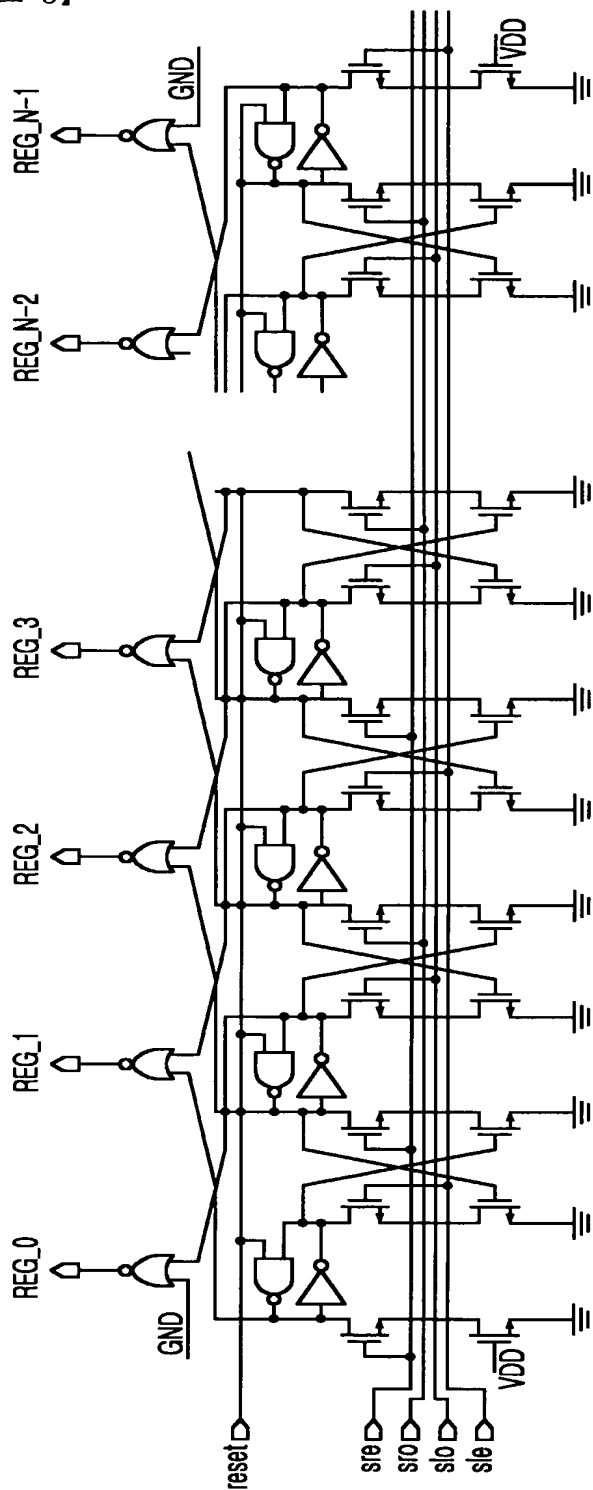
【도 3】



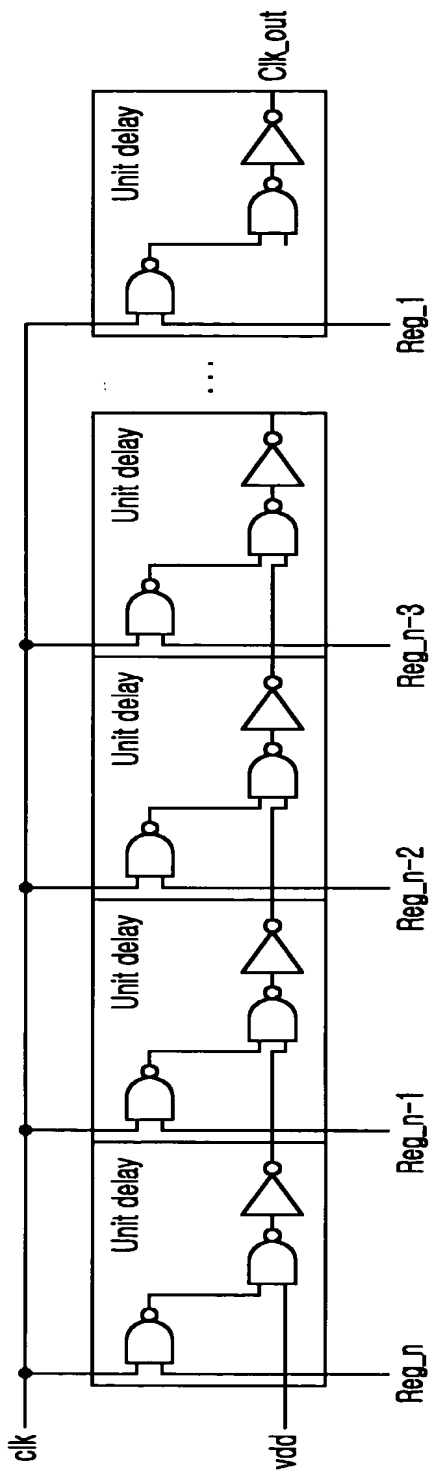
【도 4】



【도 5】



【도 6】



【도 7】

